

Integrated memory has control circuit for driving word and bit lines in initialization mode so that first electrode of storage capacitor in each memory cell adopts defined value

Publication number: DE10208246

Publication date: 2003-05-28

Inventor: STIEF REIDAR (DE)

Applicant: INFINEON TECHNOLOGIES AG (DE)

Classification:

- **International:** G11C7/12; G11C7/20; G11C11/408; G11C11/4094; G11C7/00; G11C11/408; G11C11/409; (IPC1-7); G11C11/407; G11C7/20

- **European:** G11C7/12; G11C7/20; G11C11/408C; G11C11/4094

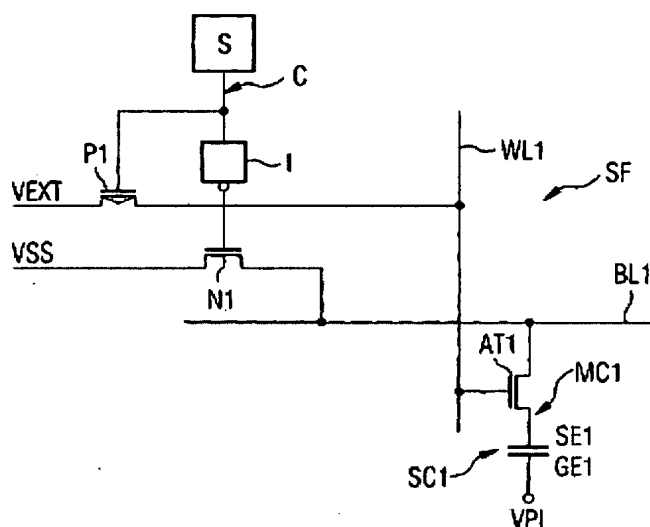
Application number: DE20021008246 20020226

Priority number(s): DE20021008246 20020226

[Report a data error here](#)

Abstract of DE10208246

Memory cells, each with a storage capacitor and selection transistor, word lines for selecting memory cells, bit lines for reading/writing data signals to/from cells connected to a first capacitor electrode via the transistor, with the second capacitor electrode of each cell connected to a plate voltage connection, and a control circuit for driving the lines in an initialization mode so the first electrode adopts a defined value. The device has memory cells (MC1), each with a storage capacitor (SC1) and selection transistor (AT1), word lines (WL1) for selecting memory cells, bit lines (BL1) for reading or writing data signals to/from cells connected to a first capacitor electrode (SE1) via the transistor, whereby the second capacitor electrode (GE1) of each cell is connected to a plate voltage (VPL) connection, and a control circuit (S,I,P1,N1) for driving the lines in an initialization mode so that first electrode adopts a defined value. AN Independent claim is also included for the following: a method of operating an inventive device.



Data supplied from the esp@cenet database - Worldwide



Mit Einverständnis des Anmelders offengelegte Anmeldung gemäß § 31 Abs. 2 Ziffer 1 PatG.

71 Anmelder:
Infineon Technologies AG, 81669 München, DE
74 Vertreter:
Epping, Hermann & Fischer GbR, 80339 München

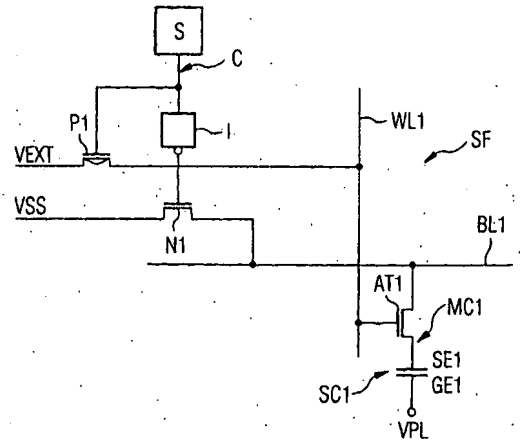
72 Erfinder:
Stief, Reidar, Dr., 81739 München, DE
56 Entgegenhaltungen:
US 62 82 135 B1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Integrierter Speicher und Verfahren zum Betrieb eines integrierten Speichers

57 Ein integrierter Speicher weist Speicherzellen (MC1) auf, die jeweils einen Speicherkondensator (SC1) und einen Auswahltransistor (AT1) enthalten. Wortleitungen (WL1) sind mit dem Auswahltransistor (AT1) einer jeweiligen Speicherzelle verbunden. Bitleitungen (BL1) sind über den Auswahltransistor (AT1) mit einer ersten Elektrode (SE1) des Speicherkondensators einer jeweiligen Speicherzelle verbunden. Eine zweite Elektrode (GE1) des Speicherkondensators einer jeweiligen Speicherzelle ist mit einem Anschluß für eine Plattenspannung (VPL) verbindbar. Eine Steuerschaltung (S, I, P1, N1) dient dazu, die Wortleitungen (WL1) und Bitleitungen (BL1) in einem Initialisierungsbetrieb des Speichers derart anzusteuern, daß die erste Elektrode (SE1) des Speicherkondensators einer jeweiligen Speicherzelle einen definierten Spannungswert annimmt. Dadurch werden die Speicherkondensatoren der jeweiligen Speicherzellen schon während des Aufbaus von chipinternen Spannungen in dem Initialisierungsbetrieb in einen definierten Zustand gebracht und somit ein zuverlässiger Betrieb des Speichers ermöglicht.



[0001] Die vorliegende Erfindung betrifft einen integrierten Speicher mit Speicherzellen, die jeweils einen Speicherkondensator und Auswahltransistor aufweisen, mit Wortleitungen, die mit dem Auswahltransistor einer jeweiligen Speicherzelle verbunden sind, zur Auswahl von Speicherzellen, mit Bitleitungen zum Auslesen oder Schreiben von Datensignalen der Speicherzellen, die über den Auswahltransistor mit einer ersten Elektrode des Speicherkondensators einer jeweiligen Speicherzelle verbunden sind, und bei dem eine zweite Elektrode des Speicherkondensators einer jeweiligen Speicherzelle mit einem Anschluß für eine Plattenspannung verbindbar ist.

[0002] Integrierte Speicher, insbesondere in Form von DRAMs (Dynamic Random Access Memory), weisen im allgemeinen ein Speicherzellenfeld mit darin angeordneten Speicherzellen auf, in denen eine zu speichernde Information gespeichert wird. Die Information wird in heutigen DRAM-Speicherchips üblicherweise in 1-Transistorzellen gespeichert. Eine derartige Speicherzelle besteht aus einem Auswahltransistor und einem Speicherkondensator, der als Speicherelement dient. Zur Ansteuerung dieser 1-Transistorzellen werden Wortleitungen und Bitleitungen verwendet. Die Wortleitungen, die mit dem Auswahltransistor einer jeweiligen Speicherzelle verbunden sind, dienen zur Auswahl von Speicherzellen. Die Bitleitungen sind über den Auswahltransistor mit einer ersten Elektrode des Speicherkondensators einer jeweiligen Speicherzelle verbunden. Sie dienen zum Auslesen oder Schreiben von Datensignalen der Speicherzellen. Eine zweite Elektrode des Speicherkondensators einer jeweiligen Speicherzelle ist dazu mit einem Anschluß für eine sogenannte Plattenspannung verbindbar.

[0003] Bei heutigen DRAM-Speicherbausteinen werden üblicherweise die chipinternen Spannungen über chipinterne Spannungsgeneratoren zur Verfügung gestellt. Diese internen Spannungsgeneratoren generieren aus von extern bereitgestellten Versorgungsspannungen die chipintern benötigten Spannungen, insbesondere die genannte Plattenspannung. Dabei ist es insbesondere zu Beginn des Betriebs des integrierten Speichers notwendig, daß die internen Spannungen durch die jeweiligen Spannungsgeneratoren allmählich aufgebaut werden. Dies wird üblicherweise in einem Initialisierungsbetrieb des Speichers durchgeführt, zu dessen Beginn die von extern bereitgestellten Versorgungsspannungen angelegt werden. Nach dem Anlegen der von extern bereitgestellten Versorgungsspannungen, beispielsweise in Form einer positiven externen Versorgungsspannung und einer externen Bezugsspannung, wird also in einem Initialisierungsbetrieb insbesondere die Plattenspannung über einen entsprechenden Spannungsgenerator intern aufgebaut.

[0004] Beim Aufbauen beziehungsweise Hochfahren der Plattenspannung wird durch die kapazitive Kopplung zwischen der ersten Elektrode (sogenannte Speicherelektrode) und der zweiten Elektrode (sogenannte Gegenelektrode) des Speicherkondensators mit dem Anheben der Spannung an der Gegenelektrode, die an der Plattenspannung anliegt, auch die Spannung an der Speicherelektrode des betreffenden Speicherkondensators angehoben, und zwar in etwa auf die Plattenspannung. Damit liegen an den Speicherelektroden der Speicherkondensatoren nach dem Anlegen der externen Versorgungsspannungen Potentialwerte in der Nähe der Plattenspannung an. Das an der Speicherelektrode anliegende Potential wird sehr langsam abgebaut. Dies kann zu Problemen im Betrieb des Speichers führen, insbesondere bei einem nach dem Anlegen der Versorgungsspannungen durchzuführenden Auslesevorgang des Speichers, zum Bei-

spiel mit einem sogenannten RAS Only Precharge.

[0005] In einem solchen Falle wird ein Potential an die Wortleitung angelegt und der Zellinhalt über einen Leseverstärker bewertet und verstärkt. Tendiert der Leseverstärker dazu, den Zellinhalt, der nach dem Hochfahren etwa die Plattenspannung beträgt, zu einer "1" zu bewerten, das heißt zum vollen Signalhub (voller Signalhub entspricht zweifacher Plattenspannung), dann wird beim sogenannten RAS Only Refresh dieser volle Signalhub in die Speicherzellen zurückgeschrieben. Dabei koppelt die Gegenelektrode des Kondensators mit und die Spannung der Gegenelektrode wird (lokal) erhöht. Wird in diesem Zustand, das heißt gleich nach einem RAS Only Refresh, die Zelle erneut mit einer "1" beschrieben, so erniedrigt sich der Zellinhalt durch das allmähliche Relaxieren der Spannung der Gegenelektrode zur ursprünglichen Plattenspannung und der Zellinhalt kann damit nicht mehr korrekt bewertet werden.

[0006] Die Aufgabe der vorliegenden Erfindung ist es, einen integrierten Speicher der eingangs genannten Art anzugeben, der nach einem Initialisierungsbetrieb weitgehend zuverlässig betreibbar ist.

[0007] Weiterhin ist es Aufgabe der vorliegenden Erfindung, ein Verfahren zum Betrieb eines integrierten Speichers der eingangs genannten Art anzugeben, das dazu geeignet ist, daß der Speicher nach einem Initialisierungsbetrieb weitgehend zuverlässig betreibbar ist.

[0008] Die Aufgabe betreffend den integrierten Speicher wird gelöst durch einen integrierten Speicher gemäß Patentanspruch 1. Die Aufgabe betreffend das Verfahren wird gelöst durch ein Verfahren zum Betrieb eines integrierten Speichers gemäß Patentanspruch 6.

[0009] Gemäß der Erfindung ist bei einem integrierten Speicher der eingangs genannten Art eine Steuerschaltung vorgesehen, durch die die Wortleitungen und Bitleitungen in einem Initialisierungsbetrieb des Speichers derart ansteuerbar sind, daß die erste Elektrode (Speicherelektrode) des Speicherkondensators einer jeweiligen Speicherzelle einen definierten Spannungswert annimmt. Dadurch werden die Speicherkondensatoren der jeweiligen Speicherzellen schon während des Aufbaus der chipinternen Spannungen nach dem Anlegen der externen Versorgungsspannungen in einem Initialisierungsbetrieb in einen definierten Zustand gebracht. Die erste Elektrode des Speicherkondensators einer jeweiligen Speicherzelle nimmt vorzugsweise den definierten Spannungswert an, solange bis die Zielwerte der chipinternen Spannungen, insbesondere der Zielwert der Plattenspannung, erreicht werden. Die Verbindung der Speicherelektrode des Speicherkondensators einer jeweiligen Speicherzelle mit einem definierten Spannungswert stellt sicher, daß die Speicherzellen auch nach dem Anschalten des Speichers (Anlegen der externen Versorgungsspannungen) einen definierten Potentialwert, beispielsweise 0 V enthalten.

[0010] In einer Ausführungsform der Erfindung wird die erste Elektrode des Speicherkondensators einer jeweiligen Speicherzelle mit oder unmittelbar nach dem Anlegen einer externen Spannungsversorgung an den Speicher mit einem Anschluß für eine externe Versorgungsspannung des Speichers kurzgeschlossen. Die Wortleitungen und Bitleitungen des Speichers werden dazu von der Steuerschaltung entsprechend angesteuert. Insbesondere wird die Steuerschaltung derart betrieben, daß die Wortleitungen an einer positiven externen Versorgungsspannung, beispielsweise $V_{EXT} = 3,3 \text{ V}$, und die Bitleitungen an einer externen Bezugsspannung, beispielsweise $V_{SS} = 0 \text{ V}$, anliegen. Dadurch wird der jeweilige Auswahltransistor geöffnet, und die jeweilige Speicherelektrode liegt an der externen Bezugsspannung V_{SS} an. Damit erhält man in vorteilhafter Weise einen definierten Ausgangszustand der Speicherkondensatoren für

den weiteren Betrieb, der sich dem Initialisierungsbetrieb des Speichers anschließt.

[0011] Weitere vorteilhafte Aus- und Weiterbildungen der Erfindung sind in Unteransprüchen angegeben.

[0012] Die Erfindung wird im folgenden anhand der in der Zeichnung dargestellten Figuren, die Ausführungsbeispiele der vorliegenden Erfindung darstellen, näher erläutert. Es zeigen

[0013] Fig. 1 ein Ausführungsbeispiel eines integrierten Speichers gemäß der Erfindung.

[0014] Fig. 2 ein Signalaufbaudiagramm für einen Speicher gemäß Fig. 1.

[0015] In Fig. 1 ist exemplarisch und stark vereinfacht ein Ausführungsbeispiel eines integrierten Speichers gemäß der Erfindung gezeigt. Der Speicher gemäß Fig. 1 weist ein Speicherzellenfeld SF auf, in dem eine Vielzahl von Speicherzellen angeordnet ist, die jeweils einen Speicherkondensator und einen Auswahltransistor aufweisen (1-Transistorzelle). In Fig. 1 ist dabei der Übersichtlichkeit halber nur eine Speicherzelle MC1 dargestellt, die einen Speicherkondensator SC1 und einen Auswahltransistor AT1 aufweist.

[0016] Weiterhin sind in dem Speicherzellenfeld SF mehrere Wortleitungen und Bitleitungen angeordnet, wobei in Fig. 1 wiederum der Übersichtlichkeit halber nur eine Wortleitung WL1 und eine Bitleitung BL1 dargestellt sind. Die Wortleitungen sind mit dem Auswahltransistor einer jeweiligen Speicherzelle verbunden. Im Beispiel nach Fig. 1 ist die Wortleitung WL1 mit dem Auswahltransistor AT1 der Speicherzelle MC1 verbunden. Die Wortleitungen dienen zur Auswahl der jeweils angeschlossenen Speicherzellen. Die Bitleitungen sind über den Auswahltransistor mit einer ersten Elektrode des Speicherkondensators einer jeweiligen Speicherzelle verbunden. Im Beispiel gemäß Fig. 1 ist die Bitleitung BL1 über den Auswahltransistor AT1 mit der ersten Elektrode SE1 des Speicherkondensators SC1 der Speicherzelle MC1 verbunden. Die erste Elektrode SE1 des Speicherkondensators SC1 entspricht der sogenannten Speicherelektrode. Die zweite Elektrode GE1 des Speicherkondensators SC1, die sogenannte Gegenelektrode, ist mit einem Anschluß für eine Plattenspannung VPL verbindbar.

[0017] Die Wortleitung WL1 ist über einen PFET-Transistor P1 mit einem Anschluß für eine positive externe Versorgungsspannung VEXT verbunden. Die Bitleitung BL1 ist über einen NFET-Transistor N1 mit einem Anschluß für die externe Bezugsspannung VSS verbunden. Der Steueranschluß des Transistors P1 ist mit einer Steuerschaltung S verbunden, der Steueranschluß des Transistors N1 ist über einen Inverter I mit der Steuerschaltung S verbunden. Weitere Ansteuerungsschaltungen der Wortleitung WL1 und Bitleitung BL1, insbesondere ein Wortleitungsdecoder beziehungsweise Bitleitungsdecoder oder ein Schreib-Lese-Verstärker zum Auslesen und Bewerten von Datensignalen, die an der Bitleitung BL1 anliegen, sind aus Übersichtlichkeitsgründen nicht dargestellt. Die Ausführung derartiger Ansteuerungsschaltungen hängt insbesondere vom verwendeten internen Schaltungskonzept ab.

[0018] Im folgenden wird in Verbindung mit Fig. 2 ein Betrieb des Speichers gemäß Fig. 1 kurz erläutert.

[0019] Bei dem Speicher gemäß Fig. 1 werden chipinterne Spannungen, insbesondere die Plattenspannung VPL, über jeweilige (nicht gezeigte) Spannungsgeneratoren des Speichers zur Verfügung gestellt. Diese Spannungen werden in einem Initialisierungsbetrieb des Speichers, in dem die externen Versorgungsspannungen VEXT und VSS angelegt werden, über die internen Spannungsgeneratoren aufgebaut beziehungsweise hochgefahren. Dabei werden von der Steuerschaltung S über die jeweiligen Transistoren P1 und N1 die Wortleitung WL1 und Bitleitung BL1 derart angesteuert,

daß die Speicherelektrode SE1 des Speicherkondensators SC1 der Speicherzelle MC1 den definierten Spannungswert VSS annimmt. Insbesondere wird die Speicherelektrode SE1, wie anhand von Fig. 2 verdeutlicht, mit dem Anlegen der positiven externen Versorgungsspannung VEXT zum Zeitpunkt t1 mit dem Anschluß für die externe Bezugsspannung VSS kurzgeschlossen. Dies geschieht dadurch, daß die Spannung VEXT mit dem Wortleitungsnetz und die Bezugsspannung VSS mit dem Bitleitungsnetz verbunden wird. Beide Netze müssen vorher von ihren Generatorsystemen getrennt werden. Die Verbindungen bleiben solange bestehen, bis die jeweiligen Zielwerte der chipinternen Spannungen, insbesondere der Zielwert der Plattenspannung VPL, erreicht werden. In diesem Fall wird von der Steuerschaltung S das Steuersignal C aktiviert, das dazu verwendet wird, die Wortleitungsnetze und Bitleitungsnetze wieder von der Spannung VEXT beziehungsweise VSS zu trennen (Zeitpunkt t2). Die Verbindung der Speicherkondensatoren mit der externen Bezugsspannung VSS stellt sicher, daß die Speicherzellen auch nach dem Anschalten des Speichers einen definierten Potentialwert, im Beispiel 0 V (= VSS), enthalten. Die Spannung VEXT beträgt im vorliegenden Ausführungsbeispiel 3,3 V, die Spannung VSS beträgt 0 V.

[0020] Durch das Vorsehen des PFET-Transistors P1 zur Verbindung der externen Versorgungsspannung VEXT mit der Wortleitung WL1 und durch Vorsehen des NFET-Transistors N1 zur Verbindung der externen Bezugsspannung VSS mit der Bitleitung BL1 wird ein optimales Schaltverhalten erreicht. Gemäß einer Ausführungsform der Erfindung werden die Bitleitungen über ein bereits vorhandenes Schaltungsnetz zum Gleichschalten der Bitleitungen vor einem Auslese- oder Schreibvorgang (sogenanntes Equalize-Netz) mit dem Anschluß für die externe Bezugsspannung VSS verbunden. Demgemäß ist der Transistor N1 nach Fig. 1 beispielsweise ein Bestandteil eines solchen Schaltungsnetzes zum Gleichschalten von Bitleitungen.

Bezugszeichenliste

SF Speicherzellenfeld
MC1 Speicherzelle
WL1 Wortleitung
BL1 Bitleitung
AT1 Auswahltransistor
SC1 Speicherkondensator
SE1 Speicherelektrode
GE1 Gegenelektrode
S Steuerschaltung
C Steuersignal
I Inverter
P1, N1 Transistor
VEXT Positive externe Versorgungsspannung
VSS Externe Bezugsspannung
VPL Plattenspannung
t1, t2 Zeitpunkt

Patentansprüche

1. Integrierter Speicher mit Speicherzellen (MC1), die jeweils einen Speicherkondensator (SC1) und einen Auswahltransistor (AT1) aufweisen, mit Wortleitungen (WL1), die mit dem Auswahltransistor (AT1) einer jeweiligen Speicherzelle verbunden sind, zur Auswahl von Speicherzellen (MC1), mit Bitleitungen (BL1) zum Auslesen oder Schreiben von Datensignalen der Speicherzellen, die über den Auswahltransistor (AT1) mit einer ersten Elektrode

(SE1) des Speicherkondensators einer jeweiligen Speicherzelle verbunden sind, bei dem eine zweite Elektrode (GE1) des Speicherkondensators einer jeweiligen Speicherzelle mit einem Anschluß für eine Plattenspannung (VPL) verbindbar ist, mit einer Steuerschaltung (S, I, P1, N1), durch die die Wortleitungen (WL1) und Bitleitungen (BL1) in einem Initialisierungsbetrieb des Speichers derart ansteuerbar sind, daß die erste Elektrode (SE1) des Speicherkondensators einer jeweiligen Speicherzelle einen definierten Spannungswert (VSS) annimmt.

2. Integrierter Speicher nach Anspruch 1, dadurch gekennzeichnet, daß die Wortleitungen (WL1) und Bitleitungen (BL1) durch die Steuerschaltung (S, I, P1, N1) derart ansteuerbar sind, daß die erste Elektrode (SE1) des Speicherkondensators einer jeweiligen Speicherzelle mit einem Anschluß für eine externe Versorgungsspannung (VSS) des Speichers kurzgeschlossen ist.

3. Integrierter Speicher nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Wortleitungen (WL1) und Bitleitungen (BL1) durch die Steuerschaltung (S, I, P1, N1) derart ansteuerbar sind, daß die Wortleitungen an einer positiven externen Versorgungsspannung (VEXT) und die Bitleitungen an einer externen Bezugsspannung (VSS) des Speichers anliegen.

4. Integrierter Speicher nach Anspruch 3, dadurch gekennzeichnet, daß die Wortleitungen (WL1) jeweils über einen PFET Transistor (P1) mit einem Anschluß für die positive externe Versorgungsspannung (VEXT) verbunden sind, die Bitleitungen (BL1) jeweils über einen NFET Transistor (N1) mit einem Anschluß für die externe Bezugsspannung (VSS) des Speichers verbunden sind.

5. Integrierter Speicher nach Anspruch 3 oder 4, dadurch gekennzeichnet, daß die Bitleitungen (BL1) über ein Schaltungsnetz zum Gleichschalten der Bitleitungen vor einem Auslese- oder Schreibvorgang mit einem Anschluß für die externe Bezugsspannung (VSS) des Speichers verbunden sind.

6. Verfahren zum Betrieb eines integrierten Speichers mit Speicherzellen (MC1), die jeweils einen Speicherkondensator (SC1) und einen Auswahltransistor (AT1) aufweisen,

mit Wortleitungen (WL1), die mit dem Auswahltransistor (AT1) einer jeweiligen Speicherzelle verbunden sind, zur Auswahl von Speicherzellen (MC1), mit Bitleitungen (BL1) zum Auslesen oder Schreiben von Datensignalen der Speicherzellen, die über den Auswahltransistor (AT1) mit einer ersten Elektrode (SE1) des Speicherkondensators einer jeweiligen Speicherzelle verbunden sind,

bei dem eine zweite Elektrode (GE1) des Speicherkondensators einer jeweiligen Speicherzelle mit einem Anschluß für eine Plattenspannung (VPL) verbunden wird,

wobei die Wortleitungen (WL1) und Bitleitungen (BL1) in einem Initialisierungsbetrieb des Speichers derart angesteuert werden, daß die erste Elektrode (SE1) des Speicherkondensators einer jeweiligen Speicherzelle einen definierten Spannungswert (VSS) annimmt.

7. Verfahren nach Anspruch 6, dadurch gekennzeichnet, daß die erste Elektrode (SE1) des Speicherkondensators einer jeweiligen Speicherzelle mit oder unmittelbar nach einem Anlegen einer externen Spannungsversorgung (VEXT) an den Speicher mit einem Anschluß für eine externe Versorgungsspannung (VSS) des Spei-

chers kurzgeschlossen wird.

8. Verfahren nach Anspruch 6 oder 7, dadurch gekennzeichnet, daß in dem Initialisierungsbetrieb des Speichers die Plattenspannung (VPL) intern aufgebaut wird und die erste Elektrode (SE1) des Speicherkondensators einer jeweiligen Speicherzelle den definierten Spannungswert (VSS) annimmt, solange bis ein Zielwert der Plattenspannung (VPL) erreicht wird.

Hierzu 1 Seite(n) Zeichnungen

FIG 1

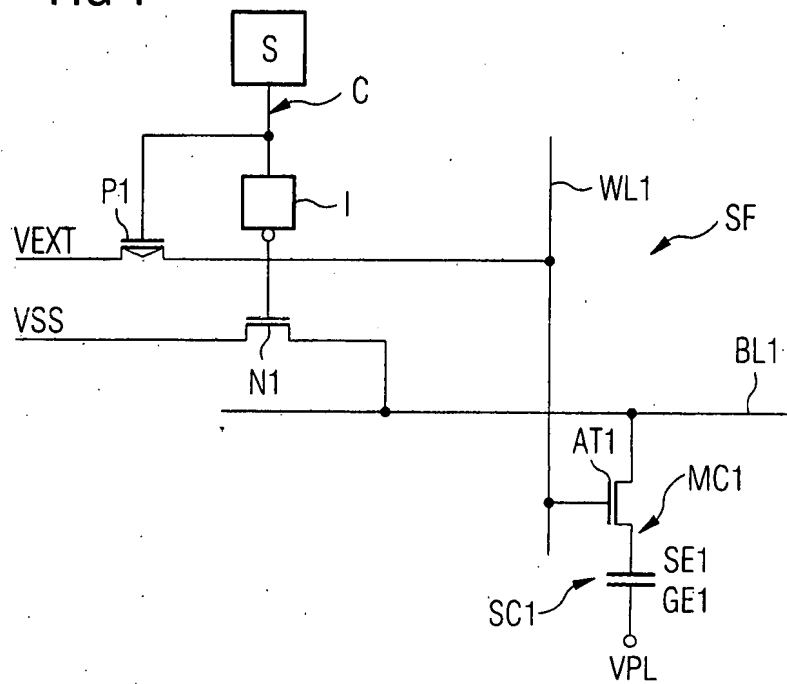


FIG 2

